

## SOLID-STATE IMAGE PICKUP DEVICE

Publication number: JP2001332714

Publication date: 2001-11-30

Inventor: TAKAHASHI HIDEKAZU

Applicant: CANON KK

Classification:

- international: **H01L27/146; H04N5/335; H01L27/146; H04N5/335;**  
(IPC1-7): H01L27/146; H01L29/78; H04N5/335

- European: H01L27/146A4; H01L27/146F

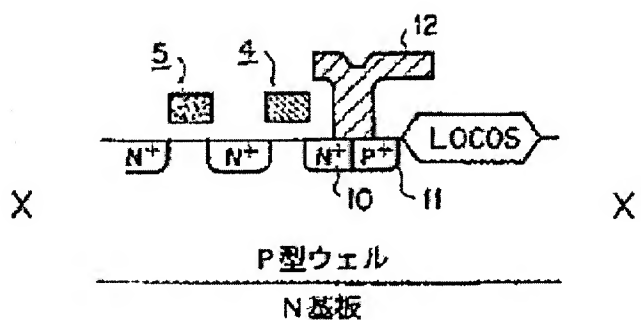
Application number: JP20000150123 20000522

Priority number(s): JP20000150123 20000522

Report a data error here

### Abstract of JP2001332714

**PROBLEM TO BE SOLVED:** To enable high speed operation by improving the numerical aperture of a micronized area sensor and reducing the shading of an output signal.  
**SOLUTION:** A drain contact 10 and a well contact 11 are made common in the same active region. This constitution can be realized by forming an N<sup>+</sup> layer as a drain and a P<sup>+</sup> layer for contact with a well to be overlapped partially. Since potentials of the drain and the well can be taken together in the same region, the number of wirings and contacts is reduced as compared with the conventional structure. Consequently, picture element can be micronized. The numerical aperture can be increased when the size of picture element is identical to the conventional one, so that sensitivity is improved. Since a well contact can be formed in a picture element region, the shading of an output signal can be reduced by restraining fluctuation of a well potential.



Data supplied from the esp@cenet database - Worldwide



**Family list****1** family member for: **JP2001332714**

Derived from 1 application

[Back to JP2001332](#)**1 SOLID-STATE IMAGE PICKUP DEVICE****Inventor:** TAKAHASHI HIDEKAZU**Applicant:** CANON KK**EC:** H01L27/146A4; H01L27/146F**IPC:** *H01L27/146; H04N5/335; H01L27/146*  
(+4)**Publication info:** **JP2001332714 A** - 2001-11-30

---

Data supplied from the **esp@cenet** database - Worldwide



(19)日本国特許庁 (J P) (12) 公 開 特 許 公 報 (A) (11)特許出願公開番号  
特開2001-332714  
(P2001-332714A)  
(43)公開日 平成13年11月30日(2001.11.30)

(51)Int.Cl.<sup>7</sup> 識別記号 F I テーマコード(参考)  
H 0 1 L 27/146 H 0 4 N 5/335 E 4 M 1 1 8  
29/78 U 5 C 0 2 4  
H 0 4 N 5/335 H 0 1 L 27/14 A 5 F 0 4 0  
29/78 3 0 1 X  
審査請求 未請求 請求項の数7 O L (全 6 頁)

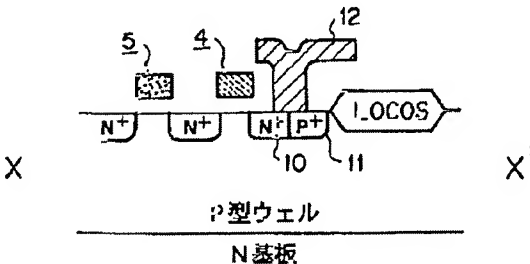
(21)出願番号	特願2000-150123(P2000-150123)	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成12年5月22日(2000.5.22)	(72)発明者	高橋 秀和 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74)代理人	100068385 弁理士 山下 稔平
		Fターム(参考)	4M118 AA06 AA10 AB01 BA14 CA04 DD09 DD10 DD12 FA06 FA33 5C024 AX01 CX35 CX41 GX03 GY31 HX17 5F040 DB01 DB06 EA00 EH05 EK01 EM01

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】 微細化されたエリアセンサの開口率を向上させ、出力信号のシェーディングを低減させ、高速駆動を可能とする。

【解決手段】 ドレインコンタクト10とウェルコンタクト11を同じ活性領域(アクティブ領域)で共通化している。これはドレインであるN<sup>+</sup>層と、ウェルとのコンタクトをとるためのP<sup>+</sup>層を、一部重ねて形成することで実現できる。従って、同一領域でドレインとウェルの電位が一緒にとれるようになるため、従来構造と比較して、配線数とコンタクト数が低減される。従って、画素を微細化することができる。また、従来と同じ画素サイズであれば、開口率を大きくできるので、感度が向上する。同時に、画素領域内にウェルコンタクトが形成できるため、ウェル電位の変動を抑えることにより、出力信号のシェーディングも低減される。



【特許請求の範囲】

【請求項1】 第1導電型の半導体基板中に第1導電型と反対導電型の第1不純物拡散領域を形成し、前記第1不純物拡散領域に増幅型光電変換素子と電荷増幅素子とを2次元に配列された光電変換領域を有する固体撮像装置において、

前記第1不純物拡散領域の電位をとる手段を前記光電変換領域内に設け、

前記第1不純物拡散領域の電位と前記電荷増幅素子への電源電位を、同じ低抵抗配線から供給することを特徴とする固体撮像装置。

【請求項2】 請求項1において、前記電荷増幅素子がMOSトランジスタであることを特徴とする固体撮像装置。

【請求項3】 請求項2において、前記MOSトランジスタが反転増幅を行うことを特徴とする固体撮像装置。

【請求項4】 請求項3において、前記2次元に配列された光電変換素子の出力線毎に負荷用MOSトランジスタを設け、前記光電変換素子内の前記反転増幅を行う前記MOSトランジスタとの組み合わせにより電荷反転増幅を行うことを特徴とする固体撮像装置。

【請求項5】 請求項4において、前記反転増幅を行うMOSトランジスタのドレインである第1導電型の第2高不純物拡散層と、前記第1不純物拡散層の電位をとるための第2導電型の第3不純物拡散層を、同じ活性領域に接触させて形成することを特徴とする固体撮像装置。

【請求項6】 請求項1において、前記低抵抗配線はアルミニウムを主成分とすることを特徴とする固体撮像装置。

【請求項7】 請求項1において、前記第1不純物拡散層に電位を与える領域は、複数のフォトダイオード単位で電位を与えることを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、電荷増幅用素子にMOSトランジスタを用いた増幅型固体撮像装置に関する。

【0002】

【従来の技術】従来、高性能、多機能、低消費電力を実現する固体撮像装置として、CMOS技術で製造される固体撮像装置（以後、CMOSセンサと呼ぶ）が知られている。これらの固体撮像装置は画素内に光電増幅用のMOSトランジスタが設けられており、非破壊で電荷増幅読み出しが行えることを特徴としている。

【0003】図9は、従来のCMOSセンサのブロック図である。101はPNフォトダイオード、102は転送MOSゲート、103はリセットMOSトランジスタ、104は選択MOSトランジスタ、105はソースフォロワの増幅MOSトランジスタ、106は垂直出力線であり、これらの素子によって画素が形成されている。

また各垂直出力線は107の定電流源に接続され、そのソースフォロワの出力はノイズ信号読み出し系と、光信号とノイズ信号を加算した読み出し系に分かれ、それぞれ、N信号転送スイッチ110を介して蓄積容量 $C_{TN}$ 112に、S信号転送スイッチ111を介して蓄積容量 $C_{TS}$ 113に接続される。更に、上記の2系統は、それぞれ水平転送スイッチ114を介して差動増幅回路115へ接続される。

【0004】通常の単体のMOSトランジスタはP型ウェル又はN型ウェル内に形成され、そのウェルの電位を固定させるためのコンタクト領域がMOSトランジスタに隣接して配置されている。

【0005】但し、図9に示したCMOSセンサは開口率の向上のため、画素領域内にはコンタクト領域を設けずに画素領域の外側に設けられている。これは画素数が少ないCMOSセンサ（例えばVGA規格対応）程度では問題無いが、画素数が多い光電変換装置（例えばHD規格対応）になると、画素領域中央付近においてウェル電位が固定されにくくなるため、出力信号に長周期的な不均一性（シェーディング）が発生する欠点があった。これはウェルの電位が変化することでMOSトランジスタの閾値電圧が変化することで発生する。また、画素数が少ないCMOSセンサでも駆動速度が速くなると、シェーディングが発生するようになるため、高速駆動の妨げにもなっていた。

【0006】図10は、このシェーディングを低減した固体撮像装置の平面図である。801はPNフォトダイオード、802はP型ウェルと同じP型のP<sup>+</sup>高濃度拡散層、803はウェルコンタクト、804は画素が2次元状に配列された画素領域、805はウェル電源配線、806は電源配線であり、805はGNDに、806は $V_{DD}$ に接続される。このようにウェルコンタクトを画素毎に設けてウェルの電位変動を抑えることにより、信号のシェーディングを低減させる。この技術は、ある程度以上の画素サイズ（例えば $5\mu m$ 以上）の固体撮像装置において有効となる。

【0007】

【発明が解決しようとする課題】しかし、図10に示した固体撮像装置では、画素サイズが小さくなると、画素内にコンタクトをとる領域とその配線を設けることが困難になってくる。例えば $0.35\mu m$ ルール（ $0.35\mu m \times 0.35\mu m$ ）のCMOSプロセスで $3.0\mu m \times 3.0\mu m$ の画素をレイアウトすると、配線領域だけで $2.1\mu m$ のレイアウト幅が必要となり開口領域がほとんどなくなってしまうことになる。

【0008】そこで、本発明は、微細化されたエリアセンサの開口率を向上させることを課題としている。

【0009】又、本発明は、多画素エリアセンサの出力信号のシェーディングを低減させることを課題としている。

【0010】又、本発明は、高速駆動が可能な多画素エリアセンサを提供することを課題としている。

【0011】

【課題を解決するための手段】上記の課題を解決するための本発明は、第1導電型の半導体基板中に第1導電型と反対導電型の第1不純物拡散領域を形成し、前記第1不純物拡散領域に増幅型光電変換素子と電荷増幅素子とを2次元に配列された光電変換領域を有する固体撮像装置において、前記第1不純物拡散領域の電位をとる手段を前記光電変換領域内に設け、前記第1不純物拡散領域の電位と前記電荷増幅素子への電源電位を、同じ低抵抗配線から供給するようにしている。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0013】(第1の実施形態)第1図は、本発明の固体撮像装置の概略的回路構成図である。

【0014】又、図2は、画素部の平面レイアウト図である。

【0015】又、図3は、図2の中のX-X'部分の断面図である。

【0016】以下、図1、図2、図3を参照して本実施形態の固体撮像装置について説明する。

【0017】図1と図2において、1は光電変換を行うためのP<sup>+</sup>NPフォトダイオード、2はフローティングディフュージョン部(FD部)、3はフォトダイオードで発生した電荷をFD部へ転送するための転送MOSスイッチ、4は反転増幅を行うための増幅MOSトランジスタ、5は反転増幅された電荷を垂直出力線に読み出すための選択MOSトランジスタ、6はFD部をリセットするためのリセットMOSスイッチであり、1、2、3、4、5、6で1つの光電変換画素7を形成する。

【0018】画素7は2次元状に配列され、各列毎に垂直出力線8に選択MOSトランジスタ5を介して接続される。9は負荷用MOSトランジスタで、ΦLがハイレベル(V<sub>DD</sub>レベル)になったときに、4の増幅MOSトランジスタとの組み合わせで反転増幅動作を行う。

【0019】また、10はMOSトランジスタ4のドレイン領域、11は画素のウェル電位のコンタクト領域であり、それぞれ電源線(GND配線)12により電位が供給される。

【0020】また、13、14は蓄積容量C<sub>TS</sub>とC<sub>TN</sub>へ信号を転送するための転送MOSスイッチ、15、16は差動増幅回路へ信号を転送するための水平転送MOSスイッチである。

【0021】本実施形態のデバイス構造では、センサ表面に濃度が高いP<sup>+</sup>層を形成しているため、センサ表面で発生する暗電流が小さい。また、フォトダイオードで発生した光電荷をフローティングディフュージョン部へ完全転送を行うため、高感度である。

【0022】従来のソースフォロワンプ105を用いた固体撮像装置では、ソースフォロワンプ105の電源とウェルの電位が異なるため、MOSトランジスタのドレインに電位を与えるための配線(V<sub>DD</sub>配線)と、ウェルに電位を与えるための配線(GND配線)を別々に設ける必要があったが、本発明では反転アンプを用いているため、ドレイン10の電位とウェルの電位を同電位(GND)にすることができる。そのため、共通のGND配線からドレインとウェルの電位をとることができる。

【0023】また、図3に示すように、ドレインコンタクトとウェルコンタクトを同じ活性領域(アクティブ領域)で共通化している。これはドレインであるN<sup>+</sup>層と、ウェルとのコンタクトをとるためのP<sup>+</sup>層を、一部重ねて形成することで実現できる。従って、同一領域でドレインとウェルの電位が一緒にとれるようになるため、従来構造と比較して、配線数とコンタクト数が低減される。従って、画素を微細化することができる。また、従来と同じ画素サイズであれば、開口率を大きくできるので、感度が向上する。同時に、画素領域内にウェルコンタクトが形成できるため、ウェル電位の変動を抑えることにより、出力信号のシェーディングも低減される。又、ウェルコンタクトを、たとえば列方向に延在させてもよい。この場合には、列方向に含まれる一部又は全部の画素、すなわち複数のフォトダイオード単位でウェル電位が与えられる。

【0024】本実施形態において、画素内のMOSトランジスタはNMOSトランジスタとして説明したが、これが全てPMOS構成であってもよい。この場合、V<sub>DD</sub>とGNDは当然のことながら、逆になる。

【0025】(第2の実施形態)図4は、第2の実施形態の固体撮像装置の平面図である。第1実施形態においては、フォトダイオード1つ毎に反転増幅用MOSトランジスタが1つ設けられていた。しかし、本実施形態においては、2つのフォトダイオードに対して反転増幅用MOSトランジスタを1つ設けている図4において、10は反転アンプの電源であるドレイン領域であり、11はウェルの電位をとるためのコンタクト領域であり、第1の実施形態と同様に、同じアクティブ領域に設けられている。

【0026】第2の実施形態では2画素毎にウェル電位をとる構造となっているため、第1の実施形態と比較すると、画素を形成するための素子数が少ないため、更なる微細化が可能となる。

【0027】また、2つのフォトダイオードを共通化するにとどまらず、3つ以上を共通化してもよい。

(第3の実施形態)第5図は、第3の実施形態の固体撮像装置のブロック図である。第1の実施形態と第2の実施形態においては、フォトダイオードとFD部の間に転送ゲートが設けられている。しかし、第3の実施形態においては、転送ゲートがなくフォトダイオードの電位が

反転アンプのゲートに直結している。このようにすると、転送ゲートが不要となるため、更なる微細化が可能となるが、信号の暗電圧を保持することが困難となるため、ノイズ除去方法は複雑になる。但し、本実施形態においても、反転アンプMOSの電源部であるドレインとウェルの電位を共通化したことにより、シェーディングの発生を抑えることが可能である。

【0028】又、特に、第3の実施形態ではフォトダイオードが完全転送型である必要はないため、単なるPNフォトダイオードにしてもよい。そのため、製造マスク数が低減され、製造工程数が低減される。

【0029】(第4の実施形態) 図6は、第4の実施形態の固体撮像装置のブロック図である。本実施形態においては、選択MOSトランジスタが必要とされない。この形式において、画素が選択されない時には、FD部をGNDに設定し、読み出す前にフローティングディフュージョンに中間電位を与えることで、選択MOSトランジスタが存在する場合と同様に光電変換信号が読み出される。本実施形態において、選択MOSトランジスタが不要となるため、更なる画素の微細化が可能となる。

【0030】(第5の実施形態) 図7は、第5の実施形態の固体撮像装置の平面図である。本実施形態においても、第1の実施形態から第3の実施形態と同様に、反転MOSアンプの電源配線とウェル配線を共通化したGND配線11を用いる。そして、反転増幅MOSトランジスタ4のドレイン領域10とGND配線11が接続され、フォトダイオード1近傍でウェルコンタクト領域と接続される。このように、別々のアクティブ領域で電位をとっている。本実施形態においても、第1実施形態から第3実施形態と同様に、画素領域内にウェル電位をとることでシェーディングを小さくすることが可能となる。ウェルコンタクト領域とドレイン領域を最小デザインルールで設けられるため、ドレイン面積を最小サイズにしたい場合に有効となる。

【0031】

【発明の効果】以上説明した本発明によれば、電荷増幅素子に反転アンプを用いた固体撮像装置において、MOS型反転アンプの電源とウェルの電位を同一の低抵抗配線から供給することによって、出力信号のシェーディングを抑えた微細な固体撮像装置が可能となった。それに

より、本固体撮像装置を用いたビデオカメラ、デジタルカメラ、監視カメラにおいて、画質向上、小型化、低コスト化が実現できる。特に高速駆動が必要なHDTV等の多画素の固体撮像装置の実現が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の固体撮像装置のブロック図

【図2】本発明の第1の実施形態の固体撮像装置の1画素分の平面図

【図3】本発明の第1の実施形態の固体撮像装置の1画素のX-X'断面図

【図4】本発明の第2の実施形態の固体撮像装置のブロック図

【図5】本発明の第3の実施形態の固体撮像装置のブロック図

【図6】本発明の第4の実施形態の固体撮像装置のブロック図

【図7】本発明の第5の実施形態の固体撮像装置の1画素分の平面図

【図8】本発明の第5の実施形態の固体撮像装置の1画素のX-X'断面図

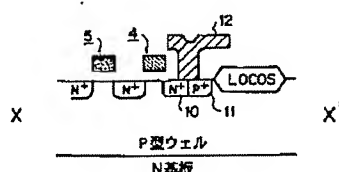
【図9】従来の固体撮像装置のブロック図

【図10】従来の固体撮像装置における画素が2次元状に配列された画素領域の平面図

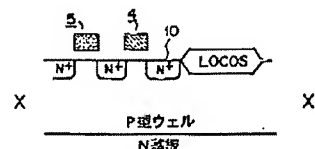
【符号の説明】

- 1、101、901 フォトダイオード
- 2 フローティングディフュージョン部
- 3、102 転送MOSゲート
- 4、105 増幅MOSトランジスタ
- 5、104 選択MOSスイッチ
- 6、103 リセット1MOSスイッチ
- 7 画素
- 8、106 垂直出力線
- 9 負荷MOSトランジスタ
- 10 ドレイン領域
- 11、903 ウェルコンタクト領域
- 12、905 GND配線
- 13、14 信号転送MOSスイッチ
- 14、16、114 水平転送MOSスイッチ
- 17 リセットMOSスイッチ

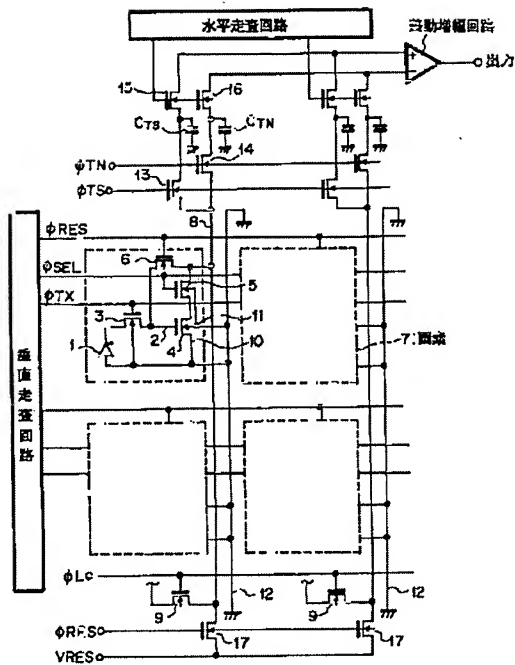
【図3】



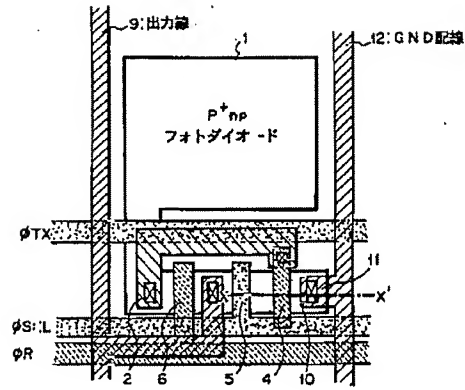
【図8】



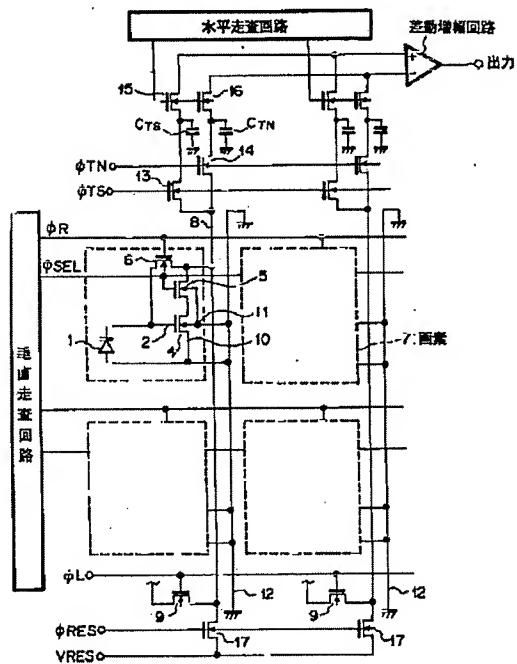
【図1】



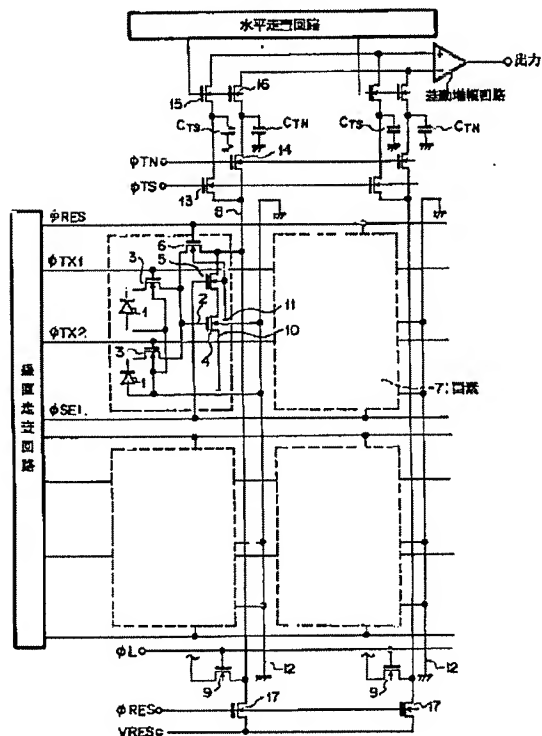
【図2】



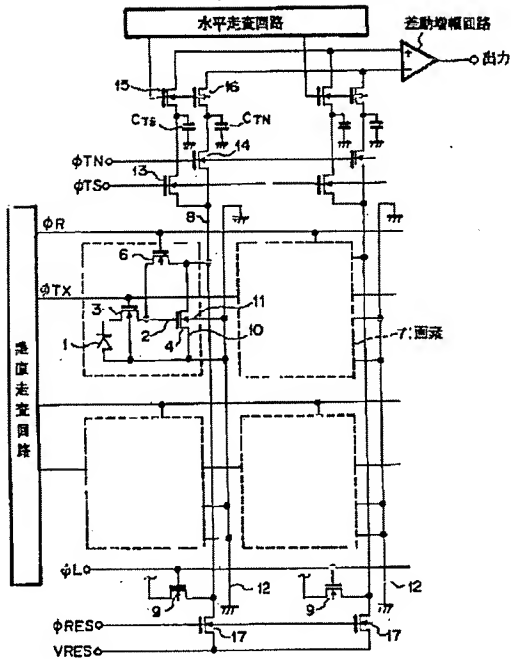
【図5】



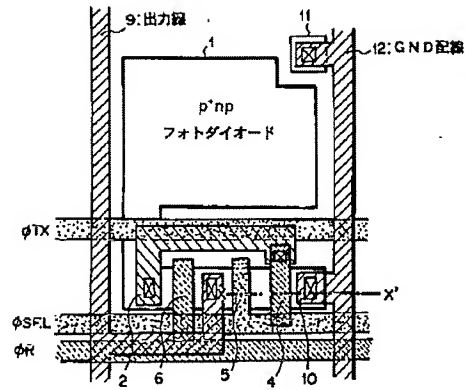
【図4】



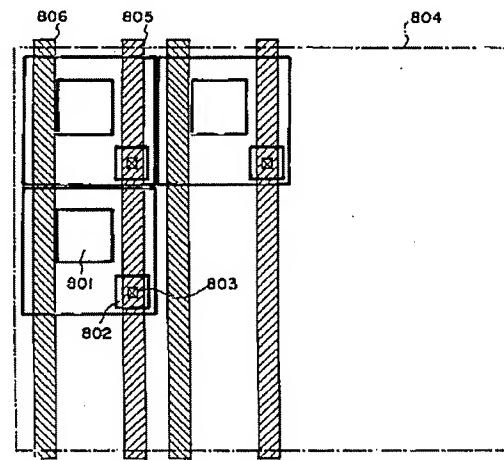
【図6】



【図7】



【図10】



【図9】

